

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-314078

(43)Date of publication of application : 08.11.1994

(51)Int.Cl.

G09G 3/28

(21)Application number : 05-104087

(71)Applicant : FUJITSU LTD

(22)Date of filing : 30.04.1993

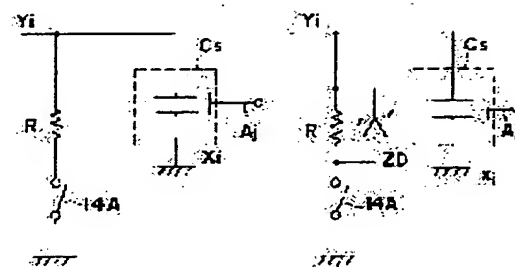
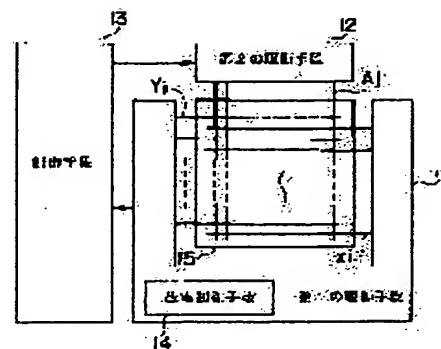
(72)Inventor : KANAZAWA GIICHI

## (54) DEVICE AND METHOD FOR DRIVING DISPLAY

### (57)Abstract:

**PURPOSE:** To surely perform erase operation by controlling the discharge waveform and remaining a wall charge effective for address discharge even when the dispersion in discharge start voltage occurs at every cell, and to attain maintaining discharge by, the low address voltage, related to the improvement for a display driving device.

**CONSTITUTION:** This device is provided with a first driving means 11 driving the discharge maintaining electrodes  $X_i$ ,  $Y_i$  of a display means 15 having a memory function, a second driving means 12 driving the address electrodes  $A_j$  of the display means 15 and a control means 13 controlling the input/output of the first, the second driving means 11, 12. The device is constituted so that a discharge control means 14 is provided on the first driving means 11, and the discharge waveform of the display means 15 is controlled by the discharge control means 14, and the discharge control means 14 is constituted of a bias element  $R$  and a switching element 14A, and the switching element 14A is connected to the bias element  $R$  in series, and the bias element  $R$  and the switching element 14A connected in series are connected between the discharge maintaining electrodes  $X_i$ ,  $Y_i$ .



## LEGAL STATUS

[Date of request for examination]

03.10.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3025598

[Date of registration]

21.01.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-314078

(43) 公開日 平成6年(1994)11月8日

(51) IntCl.<sup>5</sup>

G 0 9 G 3/28

識別記号

庁内整理番号

F I

技術表示箇所

B 9176-5G

R 9176-5G

審査請求 未請求 請求項の数10 O L (全 28 頁)

(21) 出願番号 特願平5-104087  
(22) 出願日 平成5年(1993)4月30日

(71) 出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中1015番地  
(72) 発明者 金澤 義一  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内  
(74) 代理人 弁理士 岡本 啓三

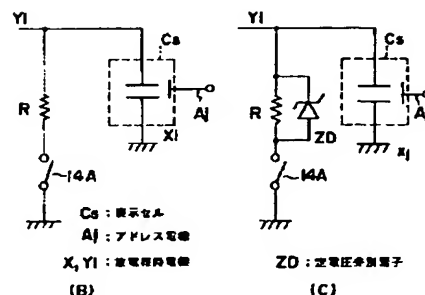
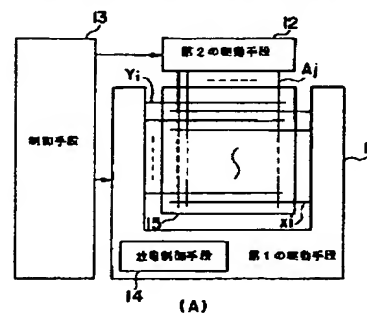
(54) 【発明の名称】 表示駆動装置及び表示駆動方法

(57) 【要約】

【目的】 本発明は表示駆動装置の改善に関し、表示セル毎に放電開始電圧のバラツキを生じた場合であっても、その放電波形を制御し、アドレス放電に有効な壁電荷を残留させ、消去動作を確実に行うこと、及び、低いアドレス電圧により放電維持をすることを目的とする。

【構成】 メモリ機能を有する表示手段15の放電維持電極X、Y1を駆動する第1の駆動手段11と、表示手段15のアドレス電極A<sub>j</sub>を駆動する第2の駆動手段12と、第1、第2の駆動手段11、12の入出力を制御する制御手段13とを具備し、第1の駆動手段11に放電制御手段14が設けられ、放電制御手段14が表示手段15の放電波形を制御することを含み構成し、放電制御手段14が、バイアス素子R及びスイッチング素子14Aから成り、スイッチング素子14Aがバイアス素子Rに直列に接続され、直列接続されたバイアス素子R及びスイッチング素子14Aが放電維持電極X、Y1間に接続されることを含み構成する。

本発明に係る表示駆動装置の原理図



## 【特許請求の範囲】

【請求項1】 メモリ機能を有する表示手段(15)の放電維持電極(X1, Y1)を駆動する第1の駆動手段(11)と、前記表示手段(15)のアドレス電極(Aj)を駆動する第2の駆動手段(12)と、前記第1、第2の駆動手段(11, 12)の入出力を制御する制御手段(13)とを具備し、前記第1の駆動手段(11)に放電制御手段(14)が設けられ、前記放電制御手段(14)が表示手段(15)の放電波形を制御することを特徴とする表示駆動装置。

【請求項2】 前記放電制御手段(14)が、バイアス素子(R)及びスイッチング素子(14A)から成り、前記スイッチング素子(14A)がバイアス素子(R)に直列に接続され、前記直列接続されたバイアス素子(R)及びスイッチング素子(14A)が放電維持電極(X, Y1, [1=1~N])間に接続されることを特徴とする請求項1記載の表示駆動装置。

【請求項3】 前記放電制御手段(14)に定電圧弁別素子(ZD)が設けられ、前記定電圧弁別素子(ZD)がバイアス素子(R)に並列に接続されることを特徴とする請求項2記載の表示駆動装置。

【請求項4】 放電維持電極(X, Y1)及びアドレス電極(Aj)を具備し、メモリ機能を有する表示手段(15)を駆動する方法において、前記アドレス電極(Aj)の選択前であって、表示手段(15)の全面書込み動作終了後、あるいは、それに続く維持放電の終了後に、放電維持電極(X, Y1)間の放電波形制御をすることを特徴とする表示駆動方法。

【請求項5】 前記放電維持電極(X, Y1)間の放電波形制御をする際に、全面消去動作時の消去パルスの電圧変化分を時間変化分に対して一定とすることを特徴とする請求項4記載の表示駆動方法。

【請求項6】 前記表示手段(15)内の表示セル(Cs)の最小維持放電電圧の最も小さい値を越えた電圧値から、消去パルスの電圧変化分を時間変化分に対して一定とすることを特徴とする請求項4記載の表示駆動方法。

【請求項7】 前記全面消去動作時に、表示手段(15)内の表示セル(Cs)の最小維持放電電圧の最も小さい値の直前まで、数ナノ秒から数マイクロ秒間に消去パルスを急速に印加し、その後、単位電圧当たり数ナノ秒から数マイクロ秒の割合で消去パルスを緩やかに印加することを特徴とする請求項4記載の表示駆動方法。

【請求項8】 前記表示手段(15)の全面書込み動作の際に、前記放電維持電極(X, Y1)の一方に放電開始電圧を越える書込みパルスを与え、前記放電維持電極(X, Y1)間の放電波形制御をする際に、前記全面書込み動作終了時の電位状態から前記放電維持電極(X, Y1)間の電位差を0[V]にし、引続き、前記全面書込み動作時の書込みパルスの極性であって、最大維持放

電電圧を越えない値まで、前記消去パルスを印加することを特徴とする請求項4記載の表示駆動方法。

【請求項9】 前記放電維持電極(X, Y1)間の放電波形制御をする際に、前記アドレス電極(Aj)の非選択時の電位と、前記放電維持電極(X, Y1)の中で表示ライン毎に共通する電極の電位とを、そのまま消去パルス印加時の固定電位とし、前記放電維持電極(X, Y1)の中で表示ライン毎に独立する電極に大きな傾きを持った消去パルスを印加することを特徴とする請求項4～8記載の表示駆動方法。

【請求項10】 前記表示手段(15)の全面書込み動作の際に、前記放電維持電極(Y1)を選択するアドレスパルスと同極性のパルスであって、数マイクロ秒から数百マイクロ秒の間に、最大維持放電電圧を越えない値まで増大される電圧を放電維持電極(X, Y1)間に印加することを特徴とする請求項4～8記載の表示駆動方法。

## 【発明の詳細な説明】

## 【0001】 【目次】

## 産業上の利用分野

従来の技術(図13, 14)

発明が解決しようとする課題(図15, 16)

課題を解決するための手段(図1, 2)

## 作用

## 実施例

(1) 第1の実施例の説明(図3～7)

(2) 第2の実施例の説明(図8～10)

(3) 第3の実施例の説明(図11, 12)

## 発明の効果

## 【0002】

【産業上の利用分野】本発明は、表示駆動装置及び表示駆動方法に関するものであり、更に詳しく言えば、メモリ機能を有するAC(交流)型のプラズマディスプレイパネル(Plasma Display Panel: PDP)の駆動装置及びその書込み/消去動作の改善に関するものである。

【0003】近年、電子機器のコンパクト化の要請から奥行き大きいCRT(冷陰極管)装置の置き代わり、奥行き少ない液晶ディスプレイやPDP等の平面型表示装置が使用される傾向にある。例えば、メモリ機能を有する表示セルを集合した構成のAC型PDPが開発され、その解像度や表示品質の向上が図られる。これによれば、AC型PDPのアドレス放電に有効に作用する壁電荷を残すために、全面書込み動作に継続して、太幅消去パルス又は細幅消去パルスを放電維持電極に印加し、その後、アドレス放電を行う書込みアドレス方法が採られる。しかし、表示セル毎の放電開始電圧にバラツキがあると、消去動作を正確に行うことができず、表示品質の低下を招く。

【0004】そこで、表示セル毎に放電開始電圧のバラ

ツキを生じた場合であっても、その放電波形を制御し、アドレス放電に有効な壁電荷を残留させ、消去動作を確実に行うこと、及び、低いアドレス電圧によりアドレス放電をすることができる装置及び方法が望まれている。

【0005】

【従来の技術】図13~16は、従来例に係る説明図である。図13は従来例に係るAC型PDPの表示駆動装置の構成図であり、図14は、その表示駆動方法を説明する波形図である。また、図15は、その問題点を説明する太幅消去動作の説明図であり、図16は、その問題点を説明する細幅消去動作の説明図を示している。

【0006】例えば、3電極面放電型のPDP25を駆動する表示駆動装置は、図13(A)において、Xドライバ1、Yスキンドライバ2、Yドライバ3、アドレスドライバ4及び制御回路5から成る。なお、PDP25はカラー表示の場合、 $N \times M \times 3$  (R, G, B) 個のメモリ機能を有する表示セルCsから成る。1ビットの表示セルCsは、図13(B)において、同一平面に設けられた放電維持電極（以下単にX電極、Y電極という）6、7と、それらと対向する位置に設けられたアドレス電極8と、X電極6、Y電極7を保護する保護膜9と、アドレス電極8を被覆しカラー表示をする蛍光体10とが具備されて成る。

【0007】当該装置の機能は、まず、Xドライバ1からX電極6に所定電圧 $V_x$ が供給され、Yドライバ3に所定電圧 $V_y$ が供給される。これにより、Yスキンドライバ2によりY電極7が走査され、所定電圧 $V_y$ がY電極7に供給される。一方、制御回路5からアドレスドライバ4にアドレスデータが供給されると、表示セルCsが選択され、発光表示が行われる。

【0008】すなわち、PDP25は2本のX、Y電極6、7に交互に、所定の電圧波形（以下維持パルスという）を印加することで、放電を持続し、発光表示を行うものである。ここで、放電はパルス印加直後、1[ $\mu$ s]から数[ $\mu$ s]で終了する。また、この放電によって発生した正電荷（イオン）は、負電圧が印加されている、例えば、X電極6上の保護膜（絶縁層）9の表面に蓄積され、同様に、負電荷（電子）は、正電圧が印加されているY電極7上の蛍光体10（絶縁層）の表面に蓄積される。

【0009】従って、始めに高い電圧値の書込み電圧（以下書込みパルスともいう）をX、Y電極6、7間に供給することにより、該電極間6、7が放電し、壁電荷が生成される。その後、前回よりも低く、極性の異なる維持電圧（維持放電パルス）をX、Y電極6、7間に印加すると、前に蓄積された壁電荷が維持電圧に重複される。

【0010】これにより、表示セルCsの放電空間に対する相対電圧が大きなものとなり、放電閾値を越えて表示セルCsが放電を開始する。つまり、最初に書込み放

電が行われ、壁電荷が生成された表示セルCsでは、その後、逆極性の維持パルスを交互に印加することにより、放電を維持するという特徴がある。一般に、このような状態をメモリ効果又はメモリ機能と呼ばれ、AC型のPDP25ではこのメモリ効果を利用して表示を行うものである。

【0011】

【発明が解決しようとする課題】ところで、従来例の表示駆動方法によれば、アドレス放電に有効に作用する壁電荷を残すために、PDP25の全面書き込み動作に継続して、図14に示すような、太幅消去パルス（実線）又は細幅消去パルス（点線）をX、Y電極6、7間に印加し、その後、アドレス放電を行う書き込みアドレス方法が採られる。

【0012】これは、表示セルCs毎に、残留壁電荷量が一定であれば、アドレス電圧もほぼ一定になり、全表示セルCsの動作電圧マージンが一致し、結果的に、安定な動作が確保可能となるからである。しかし、表示セルCs毎の放電開始電圧バラツキがあると、次のような問題を生ずる。図15(A)は太幅消去動作の説明図であり、太幅消去放電を行う直前のX、Y電極6、7上の広範囲な壁電荷の分布を示している。

【0013】図15(A)において、太幅消去動作は、維持パルスより低い電圧をX、Y電極6、7間に、長い時間印加して壁電荷の中和（一部残留）を行うものである。しかし、太幅消去動作では、パルス印加直後に放電に移行するが、印加電圧が低いため、図15(B)に示すように、通常の維持放電と異なり小規模な放電となる。このため、放電が起こる領域は、X、Y電極6、7間の隙間（以下放電ギャップという）付近の極限られた部分となり、中和する壁電荷はその放電ギャップ付近の壁電荷のみとなる。

【0014】また、図15(C)において、反対に維持パルスよりは低い、図15(B)の場合よりも高い電圧が印加されると、維持放電状態に近づくため、消去動作を行うことができなくなる。つまり、太幅消去動作では最小規模の放電により有効な壁電荷を残留させることが重要である。従って、放電が余り小規模すぎて、壁電圧と維持パルスの電圧とが放電開始電圧を越えるほどの壁電荷を残置させてはならない。ここに、壁電圧とは壁電荷の電圧をいう。

【0015】しかし、表示セルCs毎に放電開始電圧のバラツキがあるため、ある表示セルCsを基準にして小規模放電をさせようとする、その表示セルCsよりも放電開始電圧が高いセルでは、放電そのものが起こらず、消去動作が行えない状態が生ずる。また、全ての表示セルCsで放電を開始させようとする、放電開始電圧が低いセルでは、十分に大きな放電となり通常の維持放電に移行してしまうという問題がある。

【0016】また、図16(A)は細幅消去動作の説明図

であり、放電初期段階のX、Y電極6、7上の壁電荷の分布を示している。細幅消去動作では、X、Y電極6、7間の放電が完結する前に、維持パルスを除去するが、そのタイミングによって、完全に壁電荷を中和できる状態と、壁電荷を中和しきれない状態とが発生する。また、壁電荷が中和しきれない状態では、さらに、細幅消去パルスの極性と同極性の壁電荷が残留する場合と、該パルスの極性と異極性の壁電荷が残留する場合とがある。

【0017】例えば、前者の場合には、図16(A)に示すように、パルス印加直後に存在していた全ての壁電荷が、放電に関与する直前に、細幅消去パルスが除去されるため、全ての壁電荷を中和する空間電荷を生成することが困難となる。これにより、放電ギャップより離れた位置に壁電荷がそのままの状態として残留するものである。一方、後者の場合には、図16(B)の放電後期段階のX、Y電極6、7上の壁電荷の分布に示すように、パルス印加時間が経過し放電がかなり進行して、放電ギャップより離れた位置に存在する壁電荷も放電に関与ようになる。しかし、その時点では既に、放電ギャップでは印加電圧により空間電荷の吸収が進行し、壁電荷となって吸着してしまう。よって、結果的に、図16(B)に示すように維持放電動作に近づくことになる。

【0018】従って、壁電圧と維持パルスの電圧との和が放電開始電圧を越えなければ、消去動作として問題は生じない。しかしながら、実際には、表示セルCs毎の放電遅れ時間のバラツキもあるため、PDP25全体に渡り、確実な消去動作を行うのはかなり困難である。また、書込みアドレス法の場合には残留壁電荷量がアドレス放電の動作マージンにも影響するため、問題はさらに深刻である。

【0019】次に、太幅消去、細幅消去動作に係る残留壁電荷量の相違が及ぼす影響について説明をする。書込みアドレス法は、アドレス放電の直前に、有効な壁電荷が形成されるため、低印加電圧で安定なアドレス動作が可能となる。つまり、アドレス電極8と、Y電極7間の放電開始電圧を $V_{fa}$ 、アドレス電極8とY電極7間の印加電圧 $V_a$ 、アドレス電極側に蓄積された壁電荷とY電極側に蓄積された壁電荷による壁電圧を $V_{wa}$ とすると、 $V_{fa} \leq V_a + V_{wa}$ となるような条件が必要とされる。これが満たされない場合には、アドレス放電そのものが起こらず、その表示セルCsは消去状態のままになる。

【0020】また、隣接する非選択セルに対して、放電を開始させる最小の電圧を $V_{foa}$ とすると、 $V_a + V_{wa} < V_{foa}$ でなくてはならない。これが満たされない場合には、選択セルにおいては通常の放電が起こるが、隣接する隣接する非選択セルにおいても、放電を起こしてしまう。さらに、選択セルにおいて、目的のアドレス放電が達成されても、生成される壁電荷が多すぎるため、

パルス除去後に、壁電荷のみの電圧で放電を起こしてしまい、いわゆる自己消去放電と呼ばれる消去動作になる可能性がある。この電圧を $V_{fse}$ とすると、 $V_a + V_{wa} < V_{fse}$ でなくてはならない。

【0021】結局、 $V_{fa} \leq V_a + V_{wa} < V_{foa}$ 及び $V_{fa} \leq V_a + V_{wa} < V_{fse}$ の関係が必要となる。ここで、Yスキンドライバ3及びアドレスドライバ4から出力される印加電圧は全て一定であるため、 $V_{wa}$ を上式が満たされるようにしなければならない。このような観点から書込みアドレス法において、消去パルスは、本来の消去を行うこと以外に決まった量の壁電荷を残留させるという重要な目的がある。

【0022】さらに、低電圧アドレスを実現するためには、 $V_{foa} - V_a$ 及び $V_{fse} - V_a$ を越えずに、それに近い壁電荷を残留させることが有効となるさらに、通常、全面書込みパルスを除去する場合に、急峻にX電極6とY電極7との電位差を0Vにするか、逆極性の維持パルスを維持電極に印加する。もしも、全面書込み放電で大量の壁電荷を形成し過ぎた場合に、2本の維持電極の電位差を0Vにすると、壁電荷のみの電圧で放電を起こしてしまい、維持放電に移行するだけの壁電荷を失い自己消去動作に陥る場合がある。

【0023】その場合には、それ以降の操作が不可能となる。また、パルス印加直後に、逆極性の維持パルスを印加すると、そのパルスの印加過程（電圧の立ち上がり時期）で放電を開始してしまい正常な維持放電を行えないという問題も生ずる。本発明は、かかる従来例の問題点に鑑み創作されたものであり、表示セル毎に放電開始電圧のバラツキを生じた場合であっても、その放電波形を制御し、アドレス放電に有効な壁電荷を残留させ、消去動作を確実に行うこと、及び、低いアドレス電圧により放電維持をすることが可能となる表示駆動装置及び表示駆動方法の提供を目的とする。

【0024】

【課題を解決するための手段】図1(A)～(C)は、本発明に係る表示駆動装置の原理図であり、図2(A)、(B)は、本発明に係る表示駆動方法の原理図をそれぞれ示している。本発明の第1の表示駆動装置は図1(A)に示すように、メモリ機能を有する表示手段15の放電維持電極X、Y1、(1=1～N)を駆動する第1の駆動手段11と、前記表示手段15のアドレス電極Ajを駆動する第2の駆動手段12と、前記第1、第2の駆動手段11、12の入出力を制御する制御手段13とを具備し、前記第1の駆動手段11に放電制御手段14が設けられ、前記放電制御手段14が表示手段15の放電波形を制御することを特徴とする。

【0025】なお、本発明の第1の表示駆動装置において、前記放電制御手段14が、図1(B)に示すように、バイアス素子R及びスイッチング素子14Aから成り、前記スイッチング素子14Aがバイアス素子Rに直列

に接続され、前記直列接続されたバイアス素子R及びスイッチング素子14Aが放電維持電極X、Y1間に接続されることを特徴とする。

【0026】さらに、本発明の第2の表示駆動装置は、図1(C)に示すように、前記放電制御手段14に定電圧弁別素子ZDが設けられ、前記定電圧弁別素子ZDがバイアス素子Rに並列に接続されることを特徴とする。また、本発明の第1の表示駆動方法は、図2(A)に示すような放電維持電極X、Y1及びアドレス電極A<sub>j</sub>を具備し、メモリ機能を有する表示手段15を駆動する方法において、前記アドレス電極A<sub>j</sub>の選択前であって、表示手段15の全面書込み動作終了後、あるいは、それに続く維持放電の終了後に、放電維持電極X、Y1間の放電波形制御をすることを特徴とする。

【0027】なお、本発明の第1の表示駆動方法において、図2(B)に示すように、前記放電維持電極X、Y1間の放電波形制御をする際に、全面消去動作時の消去パルスの電圧変化分を緩やかに印加することを特徴とする。また、本発明の第1の表示駆動方法において、前記消去パルスの電圧変化分を時間変化分に対して一定とすることを特徴とする。

【0028】さらに、本発明の第2の表示駆動方法は、前記全面消去動作時に、表示手段15内の表示セルCsの最小維持放電電圧の最も小さい値の直前まで、数ナノ秒から数マイクロ秒間に消去パルスを急速に印加し、その後、単位電圧当たり数ナノ秒から数マイクロ秒の割合で消去パルスを緩やかに印加することを特徴とする。また、本発明の第3の表示駆動方法は、前記表示手段15の全面書込み動作の際に、前記放電維持電極X、Y1の一方に放電開始電圧を越える書込みパルスを与え、前記放電維持電極X、Y1間の放電波形制御をする際に、前記全面書込み動作終了時の電位状態から前記放電維持電極X、Y1間の電位差を0[V]にし、引続き、前記全面書込み動作時の書込みパルスの極性であって、最大維持放電電圧を越えない値まで、前記消去パルスを印加することを特徴とする。

【0029】なお、本発明の第1～第3の表示駆動方法において、前記表示手段15の全面書込み動作の際に、前記放電維持電極Y1を選択するアドレスパルスと同極性のパルスであって、数マイクロ秒から数百マイクロ秒の間に、最大維持放電電圧を越えない値まで増大される電圧を放電維持電極X、Y1間に印加することを特徴とする。

【0030】また、本発明の第1～第3の表示駆動方法において、前記放電維持電極X、Y1間の放電波形制御をする際に、前記アドレス電極A<sub>j</sub>の非選択時の電位と、前記放電維持電極X、Y1の中で表示ライン毎に共通する電極の電位とを、そのまま消去パルス印加時の固定電位とし、前記放電維持電極X、Y1の中で表示ライン毎に独立する電極に大きな傾きを持った消去パルスを

印加することを特徴とし、上記目的を達成する。

【0031】

【作 用】本発明の第1の表示駆動装置によれば、図1(A)に示すように、第1、第2の駆動手段11、12及び制御手段13が具備され、第1の駆動手段11に放電制御手段14が設けられる。このため、図1(B)に示すようなバイアス素子R及びスイッチング素子14Aから成る放電制御手段14により、アドレス電極A<sub>j</sub>の選択前であって、表示手段15の全面書込み時や、その終了後の消去パルスの放電波形制御をすることができる。

【0032】すなわち、アドレス放電の前動作であって、まず、制御手段13を介して第1の駆動手段11から放電維持電極X、Y1に全面書込み電圧が印加される。この際には、スイッチング素子14AがOFF動作され、また、全面書込み及びそれに続く維持放電動作が終了すると、スイッチング素子14AがON動作に移行される。これにより、表示セルCs、バイアス素子R及びスイッチング素子14Aから成る回路において、それらの回路時定数により、放電維持電極X、Y1上の電荷が放電をする。ここで、放電制御手段14により表示手段15の放電波形が制御され、放電維持電極X、Y1上にアドレス放電に有効な壁電荷を残留させることが可能となる。

【0033】このことで、表示セルCs毎に放電開始電圧のバラツキを生じた場合であっても、簡単な回路で効率良く、しかも、確実に消去動作を行うことが可能となる。また、第2の駆動手段12からアドレス電極A<sub>j</sub>に、従来例に比べて低いアドレスパルスを印加することにより、通常のアドレス放電を行うことが可能となる。さらに、本発明の第2の表示駆動装置によれば、放電制御手段14に定電圧弁別素子ZDが設けられ、図1(C)に示すように、定電圧弁別素子ZDがバイアス素子Rに並列に接続される。

【0034】例えば、放電維持電極X、Y1間の維持放電電圧に関して定電圧弁別素子ZDの特性電圧を最小維持放電電圧未満に設定して置くものとすれば、定電圧弁別素子ZDを含む放電制御手段14により、アドレス電極A<sub>j</sub>の選択前であって、表示手段15の全面書込み時や、その終了後の消去パルスの放電波形を極め細かく制御することができる。

【0035】すなわち、アドレス放電の前動作であって、まず、本発明の第1の表示駆動装置と同様に、第1の駆動手段11から放電維持電極X、Y1に全面書込み電圧が印加される。この際には、スイッチング素子14AがOFF動作され、また、全面書込み及びそれに続く維持放電動作が終了すると、スイッチング素子14AがON動作に移行される。

【0036】このため、全面消去動作時に、スイッチング素子14AがON動作をすることで、バイアス素子Rと定電圧弁別素子ZDとに電流が流れる。この際に、放電



維持電極Y1の電圧が該バイアス素子ZDの特性電圧以上の状態では、電流を制限する成分がないため、急激に電流が流れる。また、その間の電圧が特性電圧を下回ると、該バイアス素子ZDには電流が流れなくなる。その後は、表示セルCs、バイアス素子Rに基づく回路時定数により、放電維持電極X、Y1上の電荷が放電をする。

【0037】これにより、消去初期段階で急峻に波形変化をし、その後は、大きな傾き変化をする消去パルスを得ることが可能となり、表示セルCs毎に放電開始電圧のバラツキを生じた場合であっても、放電維持電極X、Y1上にアドレス放電に有効な壁電荷を残留させることが可能となる。また、本発明の第1の表示駆動方法によれば、図2(A)において、表示手段15のアドレス電極AJの選択前であって、表示手段15の全面書込み動作終了後に、放電維持電極X、Y1間の放電波形制御が行われる。

【0038】例えば、表示手段15の全面書込み動作において、アドレス電極AJを選択する放電パルスと同極性のパルスであって、数マイクロ秒から数百マイクロ秒の間に、最大維持放電電圧を越えない値まで増大される電圧（以下消去パルスという）が放電維持電極X、Y1間に印加される。また、その放電維持電極X、Y1間の放電波形制御をする際に、アドレス電極AJの非選択時の電位と、放電維持電極X、Y1の中で表示ライン毎に共通する電極の電位とが、消去パルス印加時において、そのまま固定され、放電維持電極X、Y1の中で表示ライン毎に独立する電極に大きな傾きを持った消去パルスが印加される。

【0039】さらに、その全面消去動作時には、図2(B)に示すように、消去パルスの電圧変化分が時間変化分に対して一定となり、表示手段15内の表示セルCsの最小維持放電電圧の最も小さい値を越えた電圧値から、消去パルスの電圧変化分が時間変化分に対して一定となるような放電制御が行われる。このため、放電維持電極X、Y1間に印加する電圧と、表示セルCs内に蓄積されていた壁電荷とによる電圧値の和がこの空間の持つ放電開始電圧値をわずかに越える値であるならば、放電に関与する壁電荷は放電空間において、最も電界強度の強い放電維持電極X、Y1の最短地点の壁電荷のみとなる。

【0040】この場合に、放電が終了しても中和される壁電荷の量はわずかであり、消去放電終了後に、もしも、維持放電電圧が印加された場合でも、維持放電を起こさない範囲により、多量の壁電荷を残留させることができる。なお、残留する壁電荷の極性は、その消去放電が行われる直前の壁電荷の極性と同等となることから、例えば、放電維持電極Y1側には電子が残留し、放電維持電極X側にはイオンが残留することになる。

【0041】これにより、全面面に渡る消去動作を従来

例に比べて確実に行うことができ、消去ミスのない良好な画像表示を行うことが可能となる。さらに、アドレス放電（選択書込み放電）を行う前までに、該アドレス放電に有効に作用する壁電荷を蓄積することが可能となり、低い印加電圧（アドレス電圧）により維持放電を行うことが可能となる。これに伴い小電力化及び回路の集積化に貢献するところが大きい。

【0042】さらに、本発明の第2の表示駆動方法によれば、放電維持電極X、Y1間の放電波形制御をする際に、表示手段15内の表示セルCsの最小維持放電電圧の最も小さい値の直前まで、数ナノ秒から数マイクロ秒間に消去パルスが急速に印加され、その後、単位電圧当たり数ナノ秒から数マイクロ秒の割合で消去パルスが緩やかに印加される。

【0043】このため、表示セルCs毎に放電開始電圧のバラツキを生じた場合であっても、消去初期段階で急峻に波形が立ち下がり、その後は、大きな傾き変化をする消去パルスにより、放電維持電極X、Y1上にアドレス放電に有効な壁電荷を残留させることができる。すなわち、本発明の第1の表示駆動方法に比べて、放電に関与する壁電荷はより少ないものとなり、結果的に、空間電荷が中和され、アドレス放電に有効に作用する壁電荷を多く残留させることが可能となる。

【0044】これにより、表示セルCs毎の放電開始電圧に多少バラツキがあっても、限られた時間で壁電荷を多く残留させることができ、従来例のように自己消去動作に陥ることなく、低電圧アドレス放電を行うことが可能となる。このことで、書込みミスを回避し、良好な画像表示を行うことが可能となる。また、本発明の第3の表示駆動方法によれば、表示手段15の全面書込み動作の際に、放電維持電極X、Y1の一方に放電開始電圧を越える書込みパルスが与えられ、次いで、全面書込み動作終了時の電位状態から放電維持電極X、Y1間の電位差を0[V]にし、引続き、全面書込み動作時の書込みパルスの極性であって、最大維持放電電圧を越えない値まで、消去パルスを印加する放電維持電極X、Y1間の放電波形制御が行われる。

【0045】このため、本発明の第1、第2の表示駆動方法とは異なり、放電維持電極X、Y1間に全面書込みパルスを印加し、全面書込み放電を実行した後に、維持放電を経ずに、放電維持電極X、Y1上に、ほぼ一定の壁電荷量を残留させる消去放電を行うことが可能となる。これにより、全面書込み動作により、放電維持電極X、Y1上に、大量の壁電荷を生成し過ぎた場合にも、アドレス放電の前までには、残留壁電荷量を一定にすることが可能になる。このことで、書込みミスを回避し、良好な画像表示を行うことが可能となる。

【0046】

【実施例】次に、図を参照しながら本発明の実施例について説明をする。図3～12は、本発明の実施例に係る表

示駆動装置及び表示駆動方法を説明する図である。

(1) 第1の実施例の説明

図3は、本発明の各実施例に係るAC型PDP駆動装置の全体構成図であり、図4は、AC型PDPの構成図である。図5は、本発明の第1の実施例に係る表示駆動回路の構成図をそれぞれ示している。

【0047】例えば、3電極面放電型のPDP25を駆動する表示駆動装置は、図3において、X共通ドライバ21A、Yスキャンドライバ21B、Y共通ドライバ21C、アドレスドライバ22、制御回路23及び波形制御部24から成る。すなわち、X共通ドライバ21A、Y共通ドライバ21B及びYスキャンドライバ21Cは第1の駆動手段11の一例を構成するものであり、X共通ドライバ21Aはメモリ機能を有するPDP25の放電維持電極X（以下単にX電極という）を駆動する回路である。例えば、X共通ドライバ21Aは駆動制御信号（以下X-UD、X-DD信号という）に基づいて書き込みパルスVw、維持パルスVs等を発生する。なお、X電極は図4(A)に示すようにPDP25のNライン(N=1~1

【0048】Yスキャンドライバ21BはNライン(i=1~N)の放電維持電極Y1（以下単にY1電極という）を走査駆動する回路である。Yスキャンドライバ21Bはアドレス放電時に、走査データ（以下Y-DATA信号という）、走査クロック信号（以下Y-CLK信号という）、ストロブ信号（以下Y-STB1、Y-STB2信号という）に基づいてスキャンパルスを発生する。なお、Y共通ドライバ21Cは駆動制御信号（以下Y-UD、Y-DD信号という）に基づいてYスキャンドライバ21Bの入出力を制御する回路である。

【0049】アドレスドライバ22の第2の駆動手段12一例であり、PDP25のアドレス電極A<sub>j</sub>〔j=1~M(R, G, B)〕を駆動する回路である。例えば、アドレスドライバ22はアドレスデータ（以下単にA-DATA信号という）、アドレスクロック信号（以下単にA-CLK信号という）に基づいてアドレスパルスを発生し、アドレス放電時に、それらをアドレス電極A<sub>j</sub>に印加する。

【0050】制御回路23の制御手段13一例であり、X共通ドライバ21A、Y共通ドライバ21A及びYスキャンドライバ21Bの入出力を制御する回路である。例えば、制御回路23は表示データ制御部23A及びパネル駆動制御部23Bから成る。表示データ制御部23Aは、フレームメモリ231を備え、画像クロック信号（以下単にCLK信号という）に基づいて画像表示データ（以下単にDATA信号という）の書き込み/読出し制御をする。

【0051】パネル駆動制御部23Bはスキャンドライバ制御部232及び共通ドライバ制御部233から成る。スキャンドライバ制御部232は垂直同期信号（以下単にVSYNC信号という）及び水平同期信号（以下単にHSY

NC信号という）に基づいてY-DATA信号、Y-CLK信号、Y-STB1、Y-STB2信号及びゲート制御信号GSを発生し、それらをYスキャンドライバ21Bや波形制御部24に供給する。共通ドライバ制御部233はVSYNC信号及びHSYNC信号に基づいて、Y-UD、Y-DD信号を発生し、それらをY共通ドライバ21Cに供給する。

【0052】波形制御部24の放電制御手段14一実施例であり、Y共通ドライバ21A及びYスキャンドライバ21Bの間に設けられ、ゲート制御信号GSに基づいてPDP25の放電波形を制御する。なお、波形制御部24の内部回路については図5において詳述し、その機能、すなわち、PDP25の表示制御については、図6、7において詳述する。

【0053】また、PDP25は図4(A)の平面図において、カラー表示の場合、Nライン×M列×3(R, G, B)個のメモリ機能を有する表示セルCsから成る。すなわち、M個のアドレス電極A1~AMはPDP25のX方向に配置され、それが1本毎にアドレスドライバ22に接続される。NラインのY1電極~YN電極はPDP25のY方向に配置され、Yスキャンドライバ21Bに個別に接続される。なお、X電極はNラインのY1電極~YN電極に併設され、それが共通に接続されてX共通ドライバ21Aに接続される。

【0054】さらに、1ビットの表示セルCsは図4(B)の断面図において、相互に対向する背面ガラス基板26と前面ガラス基板27との間が壁（障壁）30により仕切られ、両ガラス基板26、27と壁30とで区割りされる領域に、X電極、Y電極及びアドレス電極A<sub>j</sub>が設けられて成る。背面ガラス基板26上には同一平面に平行してX電極及びY電極が設けられ、両電極上に誘電体層28が設けられ、該誘電体層28上に保護膜として、MgO（酸化マグネシウム）膜が形成されている。また、アドレス電極A<sub>j</sub>はそれらと対向する位置であって、X、Y電極と直交する位置に設けられ、前面ガラス基板27に設けられる。なお、該電極A<sub>j</sub>面に、赤、緑、青の発光特性を持つ蛍光体31が設けられる。

【0055】また、1ビットの表示セルCsの放電波形を制御する波形制御部24は、図5において、n型の電界トランジスタ（以下単にトランジスタFETという）及び抵抗Rから成る。すなわち、トランジスタFETはスイッチング素子14Aの一例であり、そのゲートがスキャンドライバ制御部232に接続され、そのソースが接地線GNDに接続される。抵抗Rはバイアス素子Rの一例であり、その一端がY1電極に接続され、その他端がトランジスタFETのドレインに接続される。

【0056】当該波形制御部24の機能は、図5(B)において、全面書き込み動作終了時に、スキャンドライバ制御部232から出力されたゲート制御信号GS=「H」レベルにより、トランジスタFETがON動作に移行す



る。これにより、全面書込みパルス印加後に、そのパルス電圧を一定の変化率（電圧変化分に対する時間変化分）により推移させる消去パルスが得られる。

【0057】ここで、消去パルスの傾きは、表示パネルCsの電極間に存在する静電容量Cと抵抗Rにより決定される時定数によって変化をする。つまり、消去パルス終了時の電位差をVsとし、時間tにおけるX電極、Y1電極間の電位差をVtとすると、 $Vt = Vs(1 - e^{-t/RC})$ で表される。この結果、図5(B)に示すような波形制御をすることができ、放電電圧領域では十分に小さい電位の傾きを得ることができる。

【0058】このようにして、本発明の第1の実施例に係る表示駆動装置によれば、図3～5に示すように、X共通ドライバ21A、Yスキャンドライバ21B、Y共通ドライバ21C、アドレスドライバ22、制御回路23及び波形制御部24が具備され、該波形制御部24がYスキャンドライバ21BとY共通ドライバ21Cとの間に設けられる。

【0059】このため、図5(A)に示すような抵抗R及びトランジスタFETから成る波形制御部24により、アドレス電極AJの選択前であって、PDP25の全面書込み時や、その終了後の消去パルスの放電波形制御をすることができる。すなわち、アドレス放電の前動作であって、まず、制御回路23を介してX共通ドライバ21AやYスキャンドライバ21BからX、Y1電極に全面書込みパルスVwが印加される。この際には、トランジスタFETがOFF動作され、また、全面書込み及びそれに続く維持放電動作が終了すると、トランジスタFETがON動作に移行される。

【0060】これにより、表示セルCsの容量C、抵抗R及びトランジスタFETから成る放電回路において、それらの回路時定数 $\tau = RC$ により、X、Y1電極上の電荷が放電をする。ここで、波形制御部24によりPDP25の放電波形が制御され、X、Y1電極上にアドレス放電に有効な壁電荷を残置させることが可能となる。

【0061】このことで、表示セルCs毎に放電開始電圧のパラツキを生じた場合であっても、簡単な回路で効率良く、しかも、確実に消去動作を行うことが可能となる。また、アドレスドライバ22からアドレス電極AJに、従来例に比べて低いアドレスパルスを印加することにより、通常のアドレス放電を行うことが可能となる。

【0062】次に、本発明の第1の実施例に係る表示駆動方法について、当該装置の動作を補足しながら説明をする。図6は、本発明の第1の実施例に係る表示駆動方法を説明する波形図であり、図7は第1、第2の実施例に係る書込み動作時の補足説明図をそれぞれ示している。

【0063】例えば、PDP25をアドレス／維持放電分離型方式により表示駆動をする場合であって、その1ビットの表示セルCsに係る1駆動サイクル（1サブ 50

ールドに相当する)について説明をすると、図6において、まず、X電極に電圧Vwから成る書込みパルスを印加し、全セルに渡り書込みを実行する。ここで、PDP25の全面書込み動作において、図7(A)に示すように、アドレス電極AJに正電荷（イオン）が蓄積される。次に、Y1電極に電圧Vsから成るパルスを印加し、図7(B)に示すように、全表示セルCsが維持放電を行う。

【0064】次いで、Y1電極に負極性の消去パルスを印加する。ここに、「負極性のパルスを印加する」とは、当該パルスが始まる直前の電圧を基準にマイナス方向に印加することをいう。つまり、維持放電電圧VSから0Vに向かって印加される消去パルスである。具体的には、アドレス電極AJの非選択時の電位と、X、Y1電極の中で表示ライン毎に共通する電極、つまり、X電極の電位とが、そのまま固定され、X、Y1電極の中で表示ライン毎に独立する電極、つまり、Y1電極に大きな傾きを持った消去パルスが印加される。

【0065】この消去パルスは、Y1電極を選択するスキャンパルスと同極性のパルスであって、数マイクロ秒から数百マイクロ秒の間に、最大維持放電電圧を越えない値まで増大される消去パルスがX、Y1電極間に印加される。さらに、この消去パルスは従来例の太幅消去動作のメカニズムに類似するものであり、消去状態は印加電圧による空間電荷の吸収をもって行われる壁電荷の中和によって実現される。これにより、図7(C)に示すように全表示セルCsが消去動作となる。

【0066】この際に、X電極、Y1電極の壁電荷を維持放電電圧VSを印加しても放電が起きない値まで減少させる。この際に、消去パルスの電圧変化分が時間変化分に対して一定とするように、又は、PDP25内の表示セルCsの最小維持放電電圧の最も小さい値を越えた電圧値から、消去パルスの電圧変化分が時間変化分に対して一定となるような放電制御が行われる。

【0067】ここで、X電極、Y1電極間の電位差と、表示セルCs内に蓄積されていた壁電荷とによる電圧値との和がこの空間の持つ放電開始電圧値をわずかに越える値であるならば、放電に関する壁電荷は放電空間において、最も電界強度の強いX電極、Y1電極の最短地点の壁電荷のみとなる。その場合に、放電が終了しても中和される壁電荷の量はわずかであり、消去放電終了後にも、維持放電電圧VSが印加されても維持放電を起こさない範囲において、多量の壁電荷が残留する。よって、残留する壁電荷の極性は、図7(C)に示すように、その消去放電が行われる直前の壁電荷の極性と同じであるから、Y1電極側に電子（負電荷）が残留し、X電極側にイオン（正電荷）が残留する。なお、全表示セルCsは、この電位の傾きのいずれかのポイントで消去放電が行われる。その後、線順次で、書込み放電（アドレス放電）が実施される。

【0068】さらに、図7(D)において、表示セルCsの選択書込み(アドレス放電)を実行する。この書込み放電に関与する電圧は、アドレス電極A<sub>j</sub>とY<sub>1</sub>電極間の電位、つまり、アドレス電極A<sub>j</sub>に印加された正の電圧V<sub>a</sub>と、アドレス電極側の蛍光体表面に蓄積された正の壁電荷であるイオンと、Y<sub>1</sub>電極側の誘電体表面に蓄積された負の壁電荷である電子である。なお、このY<sub>1</sub>電極側の電子は、前述の消去パルスによって形成されている。一方、アドレス電極側のイオンは全面書込み放電によって形成、蓄積されるものである。

【0069】また、アドレス放電が全表示ラインで行われた後には、全面面に渡り、X電極とY<sub>1</sub>電極に交互に、維持放電電圧パルスが印加され、維持放電が繰り返される。これにより、最初のサブフィールドに係る維持放電期間が終了すると、次のサブフィールドで、同様に、全面書込み放電をし、さらに、全面消去放電が実行され、それを経てアドレス放電を再び実行することにより、PDP25の表示駆動をすることができる。

【0070】このようにして、本発明の第1の実施例に係る表示駆動方法によれば、図6において、PDP25のアドレス電極A<sub>j</sub>の選択前であって、その全面書込み及びその直後の維持放電動作終了後に、X、Y<sub>1</sub>電極間の放電波形制御が行われる。このため、X、Y<sub>1</sub>電極間に印加する電圧と、表示セルCs内に蓄積されていた壁電荷とによる電圧値の和がこの空間の持つ放電開始電圧値をわずかに越える値であるならば、放電に関与する壁電荷は放電空間において、最も電界強度の強いX、Y<sub>1</sub>電極の最短地点の壁電荷のみとなる。

【0071】この場合に、放電が終了しても中和される壁電荷の量はわずかであり、消去放電終了後に、仮に、維持放電電圧が印加された場合であっても、維持放電を起こさない範囲に多量の壁電荷を残留させることができる。なお、残留する壁電荷の極性は、その消去放電が行われる直前の壁電荷の極性と同等となることから、極Y<sub>1</sub>電極側に、電子を残留させ、X電極側にはイオンを残留させることが可能となる。

【0072】これにより、全面面に渡る消去動作を従来例に比べて確実に行うことができ、消去ミスのない良好な画像表示をすることが可能となる。また、アドレス放電(選択書込み放電)を行う前までに、該アドレス放電に有効に作用する壁電荷を蓄積することが可能となることから、低い印加電圧(アドレス電圧)によりアドレス放電を行うことが可能となる。これに伴い当該装置の小電力化及び回路の集積化に貢献するところが大きい。

【0073】(2)第2の実施例の説明

図8(A)、(B)は、本発明の第2の実施例に係る表示駆動回路の構成図及び動作波形図である。第2の実施例では第1の実施例と異なり、波形制御部34にツェナーダイオードZDが設けられる。すなわち、ツェナーダイオードZDは定電圧弁別素子の一例であり、該ダイオ

ードZDが抵抗Rに並列に接続されることを特徴とする。このダイオードZDのツェナー電圧V<sub>z</sub>は最小維持放電電圧V<sub>sm1</sub>-V<sub>s</sub>以上に設定をする。これにより、トランジスタFETがゲート制御信号に基づいてON動作をすると、抵抗RとツェナーダイオードZDに電流が流れる。また、Y<sub>1</sub>電極の電位がツェナー電圧V<sub>z</sub>以上である場合には、電流を制限する成分がないため、急激に電流が流れる。なお、ダイオードZDの両端に係る電圧がツェナー電圧V<sub>z</sub>以下になると、ダイオードZDには電流が流れなくなる。

10

【0074】このようにして、本発明の第2の実施例に係る表示駆動装置によれば、波形制御部34にツェナーダイオードZDが設けられ、図8(A)に示すように、ダイオードZDが抵抗Rに並列に接続される。このため、波形制御部34により、アドレス電極A<sub>j</sub>の選択前であって、PDP25の全面書込み時や、その終了後の消去パルスの放電波形を極め細かく制御することができる。例えば、アドレス放電の前動作であって、まず、本発明の第1の実施例と同様に、X共通ドライバ21A、Yスキャンドライバ21BからX、Y<sub>i</sub>電極に全面書込みパルスV<sub>w</sub>が印加される。この際には、トランジスタFETがOFF動作され、また、全面書込み及びそれに続く維持放電動作が終了すると、トランジスタFETがON動作に移行される。

20

【0075】このことで、図8(B)に示すように、全面消去動作時に、ゲート制御信号Gに基づいてトランジスタFETがON動作をすることで、抵抗RとツェナーダイオードZDとに電流が流れる。この際に、Y<sub>i</sub>電極の電圧が該抵抗ZDのツェナー電圧以上の状態では、電流を制限する成分がないため、急激に電流が流れる。また、その間の電圧がツェナー電圧を下回ると、該抵抗ZDには電流が流れなくなる。その後は、表示セルCs、抵抗Rに基づく回路時定数により、X、Y<sub>i</sub>電極上の電荷が放電をする。

30

【0076】これにより、消去初期段階で急峻に波形変化をし、その後は、大きな傾き変化をする消去パルスを得ることが可能となり、表示セルCs毎に放電開始電圧のバラツキを生じた場合であっても、X、Y<sub>i</sub>電極上にアドレス放電に有効な壁電荷を残留させることが可能となる。次に、本発明の第2の実施例に係る表示駆動方法について、当該装置の動作を補足しながら説明をする。

40

【0077】図9は、本発明の第2の実施例に係るPDPの表示駆動方法を説明する波形図であり、図10(A)、(B)は、その補足説明図をそれぞれ示している。なお、基本的な動作は第1の実施例と同様であり、その相違点は、波形制御部34により消去パルスを緩やかに制御するものである。すなわち、図9において、第1の実施例と同様に、X電極に電圧V<sub>w</sub>から成る書込みパルスを印加し、全セルに渡り書込みを実行する。これにより、図7(A)に示すように、アドレス電

50

極A j に正電荷（イオン）が蓄積される。その後、電極V s から成る維持放電パルスが印加され、維持放電が行われる。次に、消去パルスが印加され消去を行う。

【0078】この際に、Y電極を選択するスキャンパルスと同極性のパルスであって、数マイクロ秒から数百マイクロ秒の間に、最大維持放電電圧を越えない値まで増大される消去パルスがX、Y i 電極間に印加される。また、図10 (A) に示す消去動作時の拡大波形図において、表示パネルC s 内の最も電圧の低い表示セルC s の維持放電電圧である最小維持放電電圧V sm 1 になる直前まで、波形制御部34により急峻に電圧を印加する。なお、消去放電のメカニズムは、第1の実施例と同様であるが、同じ消去期間を設定した場合に、消去パルスの傾きをより緩やかにすることが可能となる。これにより、第1の実施例に比べて多くの壁電荷を残留させることが可能となり、より一層低電圧アドレス放電を行うことが可能となる。

【0079】ここで、パルスの傾きが壁電荷の形成に及ぼす影響について図10 (A) に基づいて説明をすると、気体中における放電現象では、電子、イオンの空間電荷がギャップ中を比較的に低速度で移動することから、電圧印加から放電開始に至るまでには、ある程度の遅れがあることが知られている。この時間は放電遅れ時間と呼ばれている。代表的なPDP 25では、通常百[n s]〜数[μ s]になるが、印加電圧や封入ガス等の条件によって異なる。放電遅れ時間をT d とすると、印加電圧の立ち上がり時間T r がT r < T d の場合には、パルス立ち上がり過程で、放電開始電圧を越えるが、放電遅れ時間T d があるため、実際には、放電はピーク電圧で向かえることとなる。

【0080】一方、T r > T d の場合には、放電はピーク電圧より低いレベルで発生する。この場合には、ピーク電圧で放電を向かえた場合よりも壁電荷の形成量が少なくなってくる。従って、T r > T d となれば、放電に関与する壁電荷はより少ないものとなり、放電によって形成される空間電荷及び壁電荷はより少ないものとなり、その結果、残留壁電荷は多くなる。

【0081】例えば、図10 (A) において、PDP 25が放電電圧を向かえ、その放電が行われる時間をT d とすると、T d 後の電圧は、第1の実施例①に比べて第2の実施例②の方が小さい。ということは、②の場合がより残留壁電荷が多くなるといえる。なお、図10 (B) は、消去パルスの傾きd v / d t に対する電荷量Qとの関係を示している。図10 (B) において、縦軸は、電荷量Qの絶対値であり、横軸は消去パルスの傾きd v / d t を示している。傾きd v / d t は、時間変化分に対する電圧変化分の割合である。

【0082】また、図10 (B) において、消去パルスとして動作する領域Bは、放電が完全に終了した時点で、残留又は生成された壁電荷による電圧V wr と、維持パル

スの電圧の和が放電開始電圧に満たない領域である。なお、領域Aは放電の規模が小さく、発生する空間電荷が少ないため、空間電荷による壁電荷の中和量も少なくなり、最終的に残る壁電荷の量が多くなる領域である。この場合の壁電荷量は、パルスが印加される前の状態と同極性である。

【0083】また、領域Cは維持パルスの動作とほぼ同等である。ここで、大量に発生した空間電荷は、放電に未関与であった壁電荷を中和し、さらに、印加電圧に引かれ、壁電荷として蓄積する。よって、極性はパルスが印加される前の状態と異なった極性となる。これにより、領域Bにおいて、領域A側に近づくほど、Y i 電極側にマイナスの壁電荷が多くなり、アドレス放電を低い印加電圧V a にて行うことが可能となる。逆に、領域C側に近づくほど、逆極性つまり、プラスの壁電荷がY i 電極側に蓄積されるため、アドレス放電につき、高い印加電圧が必要となる。

【0084】このようにして、本発明の第2の実施例に係る表示駆動方法によれば、X、Y i 電極間の放電波形制御をする際に、波形制御部34により、PDP 25内の表示セルC s の最小維持放電電圧の最も小さい値の直前まで、数ナノ秒から数マイクロ秒間に消去パルスが急速に印加され、その後、単位電圧当たり数ナノ秒から数マイクロ秒の割合で消去パルスが緩やかに印加される。

【0085】このため、表示セルC s 毎に放電開始電圧のバラツキを生じた場合であっても、消去初期段階で急峻に波形が立ち下がり、その後は、大きな傾き変化をする消去パルスにより、X、Y i 電極上にアドレス放電に有効な壁電荷を残留させることができる。すなわち、図10 (B) に示したように、第1の実施例①に比べて、第2の実施例②では放電に関与する壁電荷はより少ないものとなり、その結果、空間電荷が中和された後に、アドレス放電に有効に作用する壁電荷を多く残留させることが可能となる。

【0086】これにより、表示セルC s 毎の放電開始電圧に多少バラツキがあっても、限られた時間で壁電荷を多く残留させることができ、従来例のように自己消去動作に陥ることなく、低電圧アドレス放電を行うことが可能となる。このことで、書込みミスを回避し、良好な画像表示を行うことが可能となる。

### (3) 第3の実施例の説明

図11は、本発明の第3の実施例に係る表示駆動方法の説明図であり、図12 (A) ~ (C) は、その書込み動作時の補足説明図をそれぞれ示している。

【0087】第3の実施例では第2の実施例と異なり、Y 1 電極〜Y N 電極に全面書込みパルス（電圧V w ）を印加し、全面書込み放電を実行し、その後、維持放電を経ずに、消去放電を行うものである。すなわち、通常の全面書込みパルスを除去する際には、急峻にX電極とY 1 電極の電位差を0 Vにするか、即、逆極性の維持放電

パルスを加する。もし、全面書き込み放電で、大量の壁電荷を形成しすぎた場合には、X電極とY1電極の電位差を0Vにすると、壁電荷のみの電圧で放電を起こしてしまい、維持放電に移行するだけの壁電荷を失う自己消去動作になる場合がある。

【0088】この場合には、それ以降の制御は不可能となる。また、全面書き込みパルス印加直後に、逆極性の維持放電パルスを印加すると、そのパルスの印加過程（電圧の立ち上がり時期）で放電を開始してしまい、正常な維持放電を行えない可能性がある。そこで、第3の実施例では、図11において、Y1電極より印加される電圧 $V_w \geq V_f$ よりなる全面書き込みパルスによって、全面の放電セルに対して書き込み放電を行った後、その電位状態のまま、まず、X電極とY1電極間の電位差が0Vになるように、時間をかけて電圧を印加する。なお、 $V_f$ はX、Y1電極間の放電開始電圧である。

【0089】次に、電位差が電圧 $V_w$ とは逆極性で、電位差が $V_s$ になるパルスを印加する。ここで、図12(A)において、始めの電位差 $V_w$ から0Vまでの過程において、全面書き込み放電により大量の壁電荷が生成された場合に、余分な電荷分で放電を行い電荷を中和する。つまり、全面書き込み放電によって生成された壁電荷を $V_{ww}$ とすると、 $V_{ww} \geq V_f$ であるならば、電圧 $V_w$ が印加されている状態でX電極とY1電極間に印加される電圧 $V_c$ は、 $V_c = V_w - V_{ww}$ で表される。

【0090】また、放電が終了している状態では、 $V_c < V_f$ であり、電位差が0Vに近づくに従って、 $V_c = V_{ww}$ に近づく。ここで、 $V_{ww} \geq V_f$ であるから、壁電荷のみの電圧 $V_{ww}$ で放電を行ってしまう。 $V_{ww}$ は $V_f$ よりも大きな値であっても、格段に大きいものとはならないことから、放電に関与する壁電荷（ $V_{ww}$ の中で）が少なくなり、余分なものが中和されて消失される。その結果、大きな $V_w$ を印加して、壁電荷を大量に生成し過ぎても、この過程で取り除かれるため消去放電に入る直前の壁電荷量は、ほぼ一定に保たれる。

【0091】次の段階では、X電極とY1電極間の電位差が0Vから $V_s$ になることから、図12(B)に示すように、第1、第2の実施例と同様な消去放電を行うことができる。なお、図12(C)において、第1の実施例と同様に表示セルCsの選択書き込み（アドレス放電）を実行し、アドレス放電が全表示ラインで行われた後には、全面面に渡り、X電極とY1電極に交互に、維持放電電圧パルスが印加され、維持放電が繰り返される。これにより、第1の実施例と同様にPDP25の表示駆動をすることができる。

【0092】このようにして、本発明の第3の実施例に係る表示駆動方法によれば、PDP25の全面書き込み動作の際に、X、Y1電極の一方に放電開始電圧 $V_f$ を超える書き込みパルス $V_w$ が与えられ、次いで、全面書き込み動作終了時の電位状態からX、Y1電極間の電位差を0

【V】にし、引続き、全面書き込み動作時の書き込みパルス $V_w$ の極性であって、最大維持放電電圧を越えない値まで、消去パルスを印加するX、Y1電極間の放電波形制御が行われる。

【0093】このため、本発明の第1、第2の実施例とは異なり、X、Y1電極間に全面書き込みパルスを印加し、全面書き込み放電を実行した後に、維持放電を経ずに、X、Y1電極上に、ほぼ一定の壁電荷量を残留させる消去放電を行うことが可能となる。これにより、全面書き込み動作により、X、Y1電極上に、大量の壁電荷を生成し過ぎた場合にも、アドレス放電の前までには、残留壁電荷量を一定にすることが可能になる。このことで、書き込みミスを回避し、良好な画像表示を行うことが可能となる。

【0094】

【発明の効果】以上説明したように、本発明の第1の表示駆動装置によれば、第1、第2の駆動手段及び制御手段が具備され、第1の駆動手段に放電制御手段が設けられる。このため、バイアス素子及びスイッチング素子から成る放電制御手段により、アドレス電極の選択前であって、表示セル容量、バイアス素子の回路時定数により、表示手段の全面書き込み時や、その終了後の消去パルスの放電波形制御をすることができる。この結果、アドレス放電（選択書き込み放電）に有効な壁電荷を残留させることが可能となる。

【0095】また、本発明の第2の表示駆動装置によれば、放電制御手段に定電圧弁別素子が設けられ、該定電圧弁別素子がバイアス素子に並列に接続される。このため、定電圧弁別素子を含む放電制御手段により、消去初期段階で急峻に波形変化をし、その後は、大きな傾き変化をする消去パルスを得ることが可能となり、消去パルスの放電波形を極め細かく制御すること可能となる。このことで、第1の表示駆動装置と同様に表示セル毎に放電開始電圧のバラツキを生じた場合であっても、簡単な回路で効率良く、しかも、確実に消去動作を行うことが可能となる。

【0096】また、本発明の第1の表示駆動方法によれば、アドレス電極の選択前であって、表示手段の全面書き込み動作終了後に、放電維持電極間の放電波形制御が行われる。このため、全面面に渡る消去動作を従来例に比べて確実に行うことができ、良好な画像表示をすることが可能となる。また、アドレス放電を行う前までに、該アドレス放電に有効に作用する壁電荷を蓄積することが可能となり、低い印加電圧（アドレス電圧）により維持放電を行うことが可能となる。

【0097】さらに、本発明の第2の表示駆動方法によれば、表示セルの最小維持放電電圧の最も小さい値の直前まで、数ナノ秒から数マイクロ秒間に消去パルスが急速に印加され、その後、単位電圧当たり数ナノ秒から数マイクロ秒の割合で消去パルスが緩やかに印加される。

このため、表示セル毎に放電開始電圧のバラツキを生じた場合であっても、消去初期段階で急峻に波形が立ち下がり、その後は、大きな傾き変化をする消去パルスにより、放電維持電極上にアドレス放電に有効な壁電荷を多く残留させることができる。

【0098】また、本発明の第3の表示駆動方法によれば、放電維持電極の一方に放電開始電圧を越える書き込みパルスが与えられ、その後、全面書き込み動作終了時の電位状態から放電維持電極間の電位差を0〔V〕にし、引続き、その書き込みパルスの極性であって、最大維持放電電圧を越えない値まで、消去パルスを印加する放電波形制御が行われる。

【0099】このため、維持放電を経ずに、放電維持電極上に、ほぼ一定の壁電荷量を残留させる消去放電を行うことが可能となる。また、全面書き込み動作により、放電維持電極上に、大量の壁電荷を生成し過ぎた場合にも、アドレス放電の前までには、残留壁電荷量を一定にすることが可能になる。これにより、低消費電力型で高集積化が可能な表示駆動装置の提供及びプラズマディスプレイ装置の高品質、高画質化に寄与するところが大きい。

#### 【図面の簡単な説明】

【図1】本発明に係る表示駆動装置の原理図である。

【図2】本発明に係る表示駆動方法の原理図である。

【図3】本発明の各実施例に係るAC型PDP駆動装置の全体構成図である。

【図4】本発明の各実施例に係るAC型PDPの構成図である。

【図5】本発明の第1の実施例に係る表示駆動回路の構成図である。

【図6】本発明の第1の実施例に係る表示駆動方法を説明する波形図である。

【図7】本発明の第1、第2の実施例に係る書き込み動作時の補足説明図である。

【図8】本発明の第2の実施例に係る表示駆動回路の構成図及び動作波形図である。

【図9】本発明の第2の実施例に係る表示駆動方法を説明する波形図である。

【図10】本発明の第2の実施例に係る表示駆動方法の補足説明図である。

【図11】本発明の第3の実施例に係る表示駆動方法を説明する波形図である。

【図12】本発明の第3の実施例に係る書き込み動作時の補足説明図である。

【図13】従来例に係るAC型PDP駆動装置の構成図である。

【図14】従来例に係る表示駆動方法を説明する波形図である。

【図15】従来例に係る問題点を説明する太幅消去動作の説明図である。

【図16】従来例に係る問題点を説明する細幅消去動作の説明図である。

#### 【符号の説明】

11…第1の駆動手段、

12…第2の駆動手段、

13…制御手段、

14…放電制御手段、

14A…スイッチング素子、

R…バイアス素子、

ZD…定電圧弁別素子、

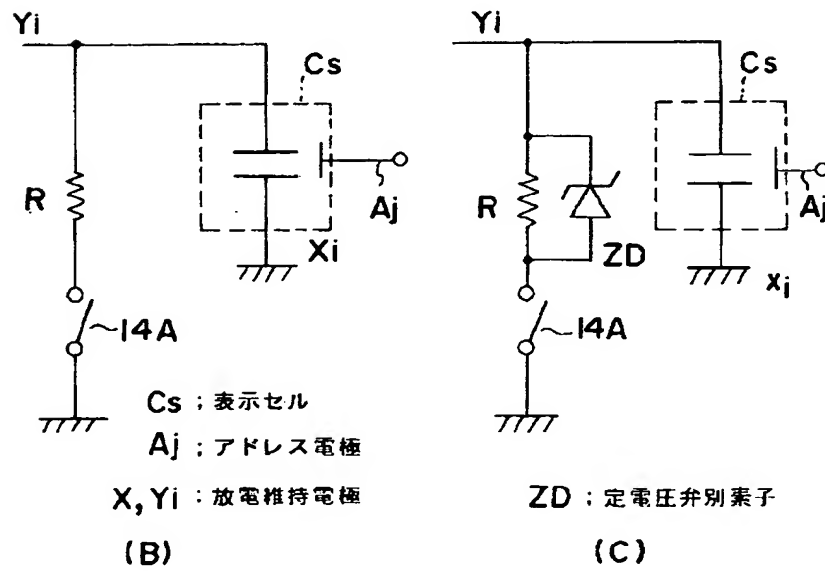
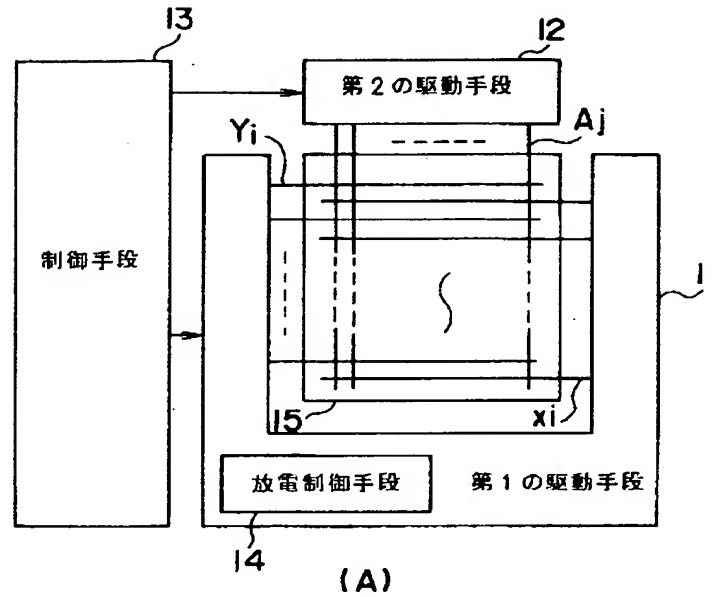
Cs…表示セル、

AJ…アドレス電極、

X, Y1…放電維持電極。

【図1】

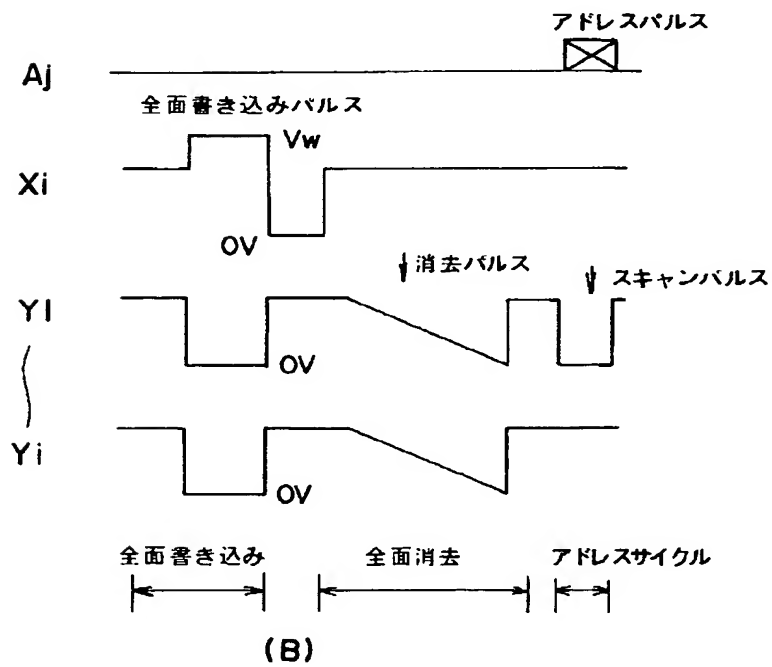
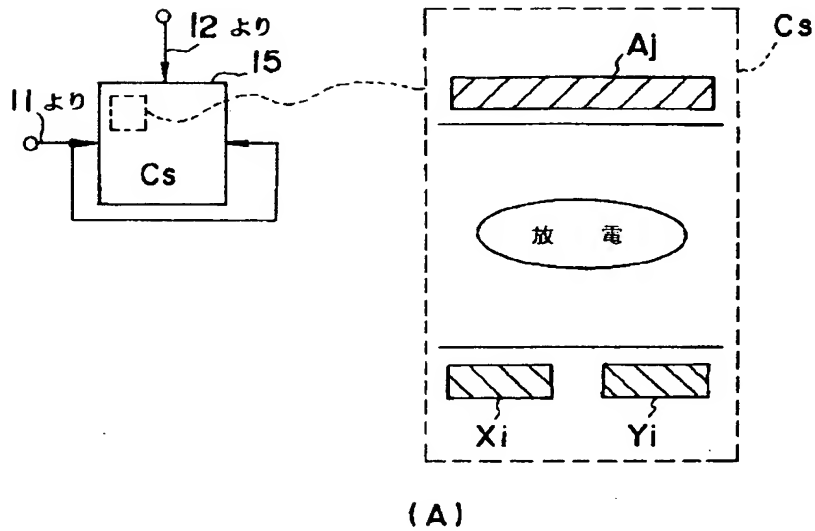
本発明に係る表示駆動装置の原理図





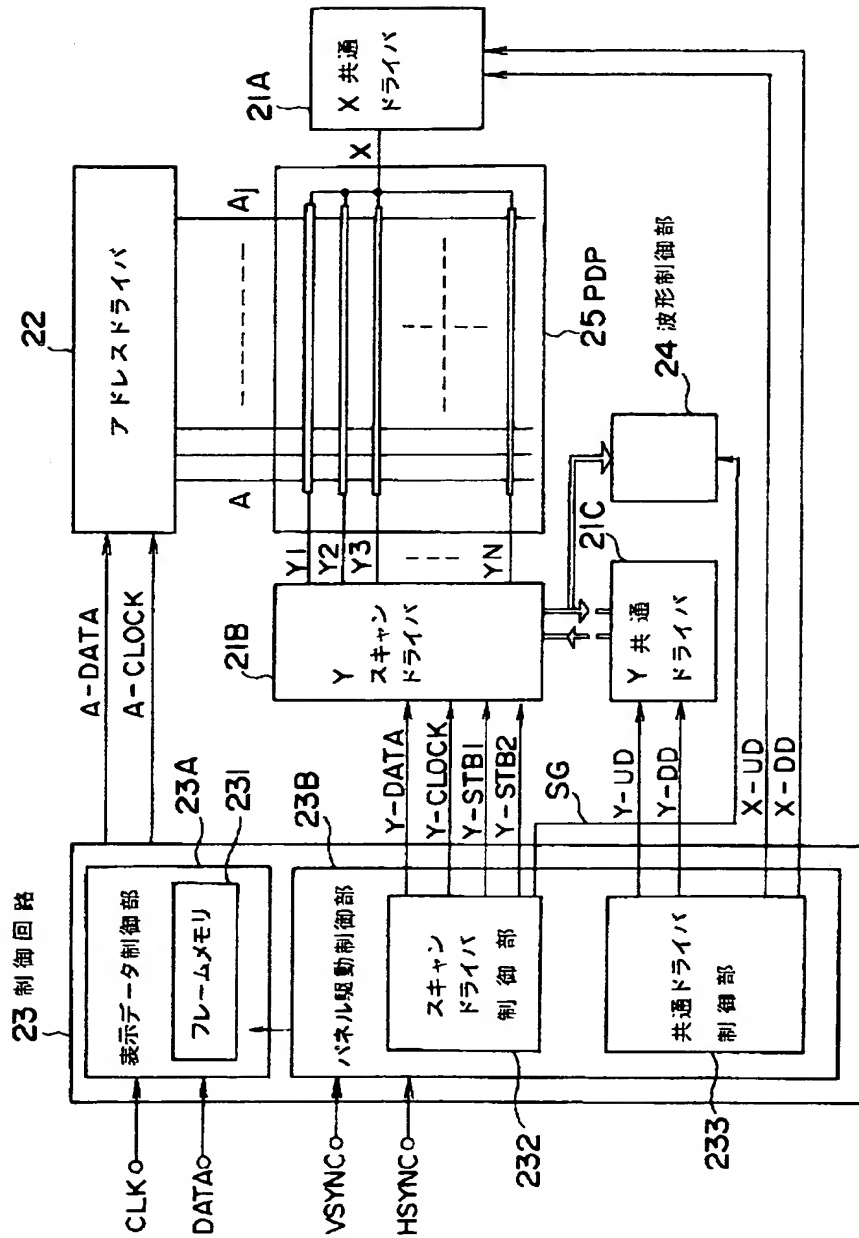
【図2】

本発明に係る表示駆動方法の原理図



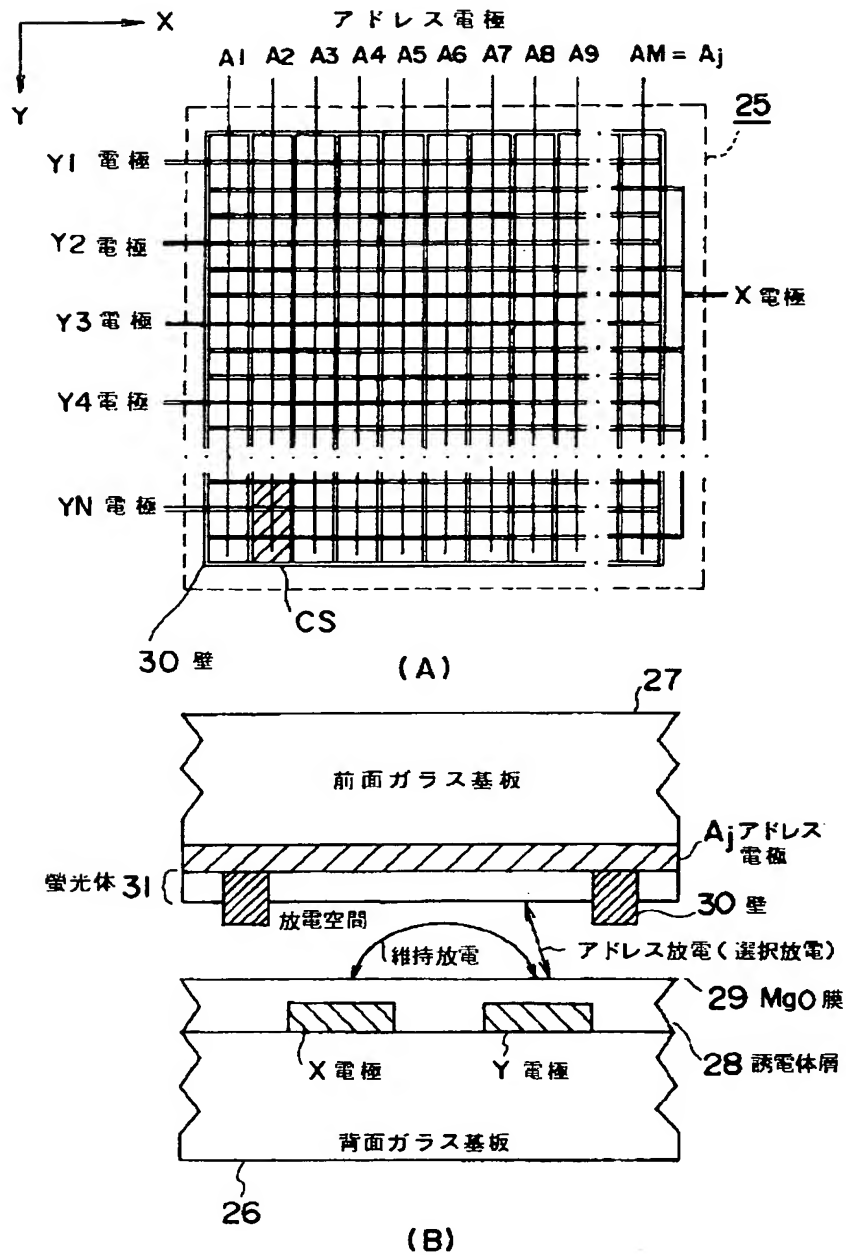
【図3】

本発明の各実施例に係るAC型PDP駆動装置の全体構成図



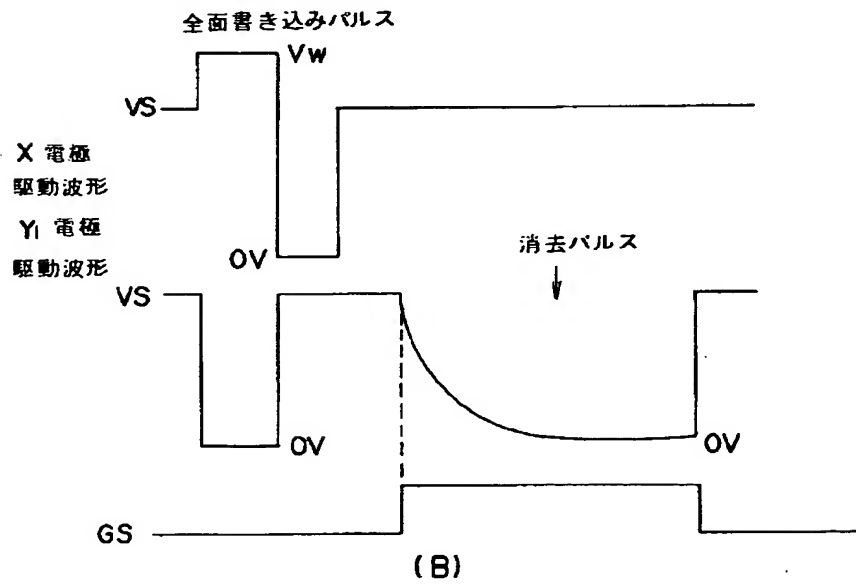
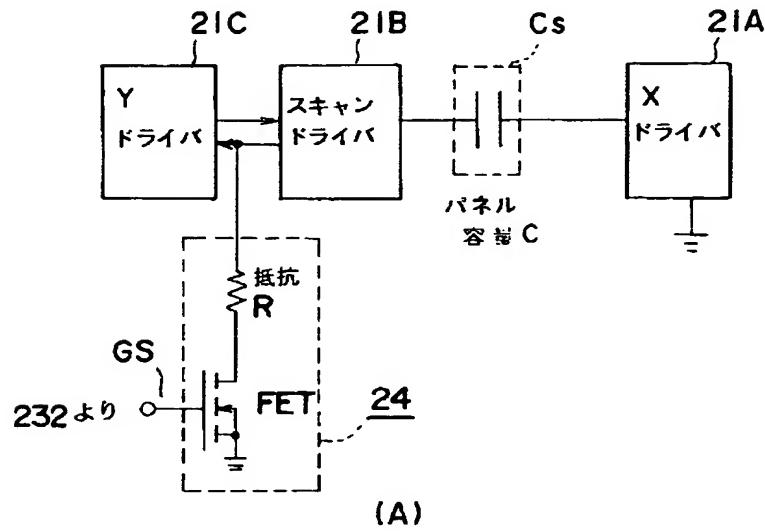
【図4】

本発明の各実施例に係るAC型PDPの構成図



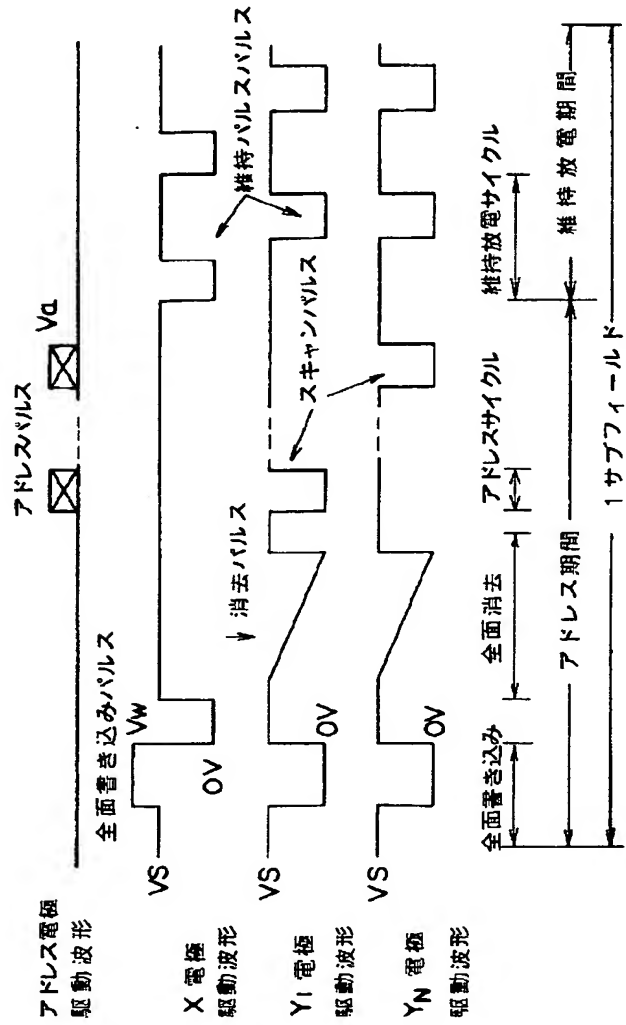
【図5】

本発明の第1の実施例に係る表示駆動回路の構成図



【図6】

本発明の第1の実施例に係る表示駆動方法を説明する  
波形図



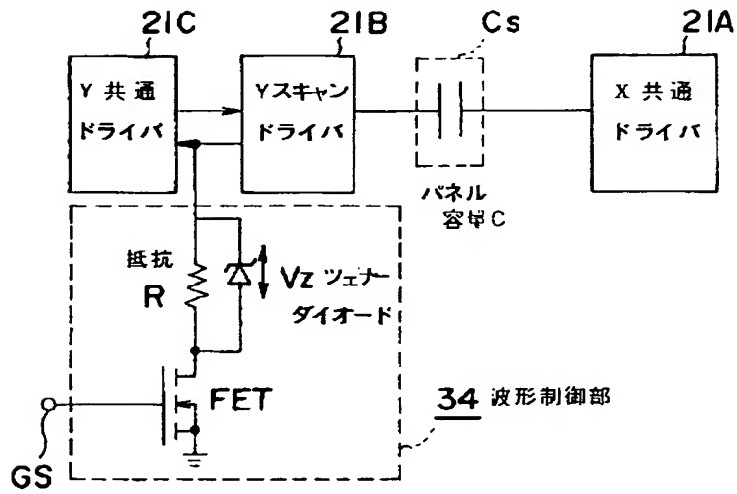
本発明の第 1、第 2 の実施例に係る書込み動作時の補足説明図



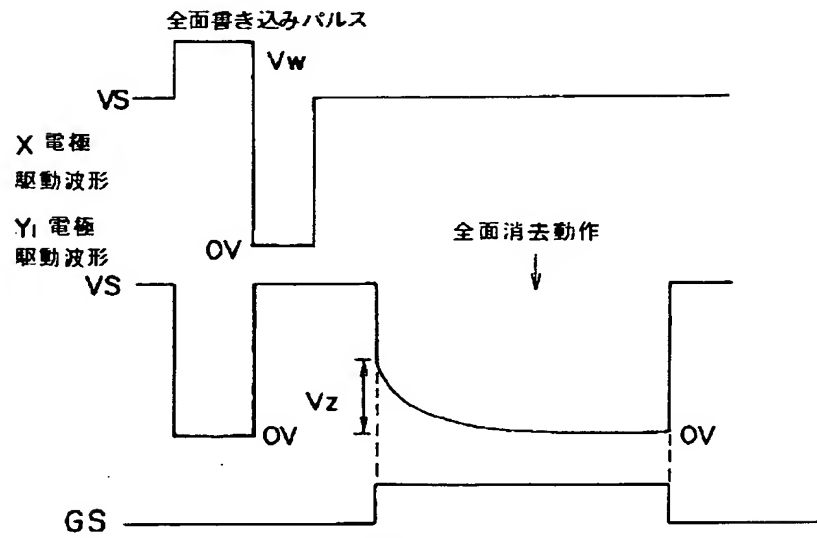


【図8】

本発明の第2の実施例に係る表示駆動回路の構成図  
及び動作波形図



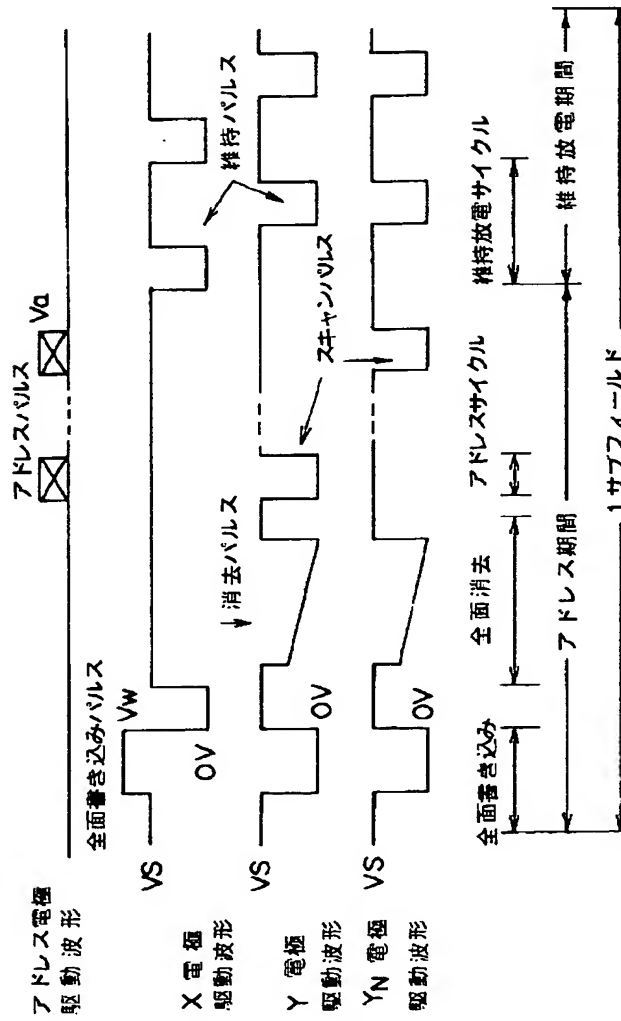
(A)



(B)

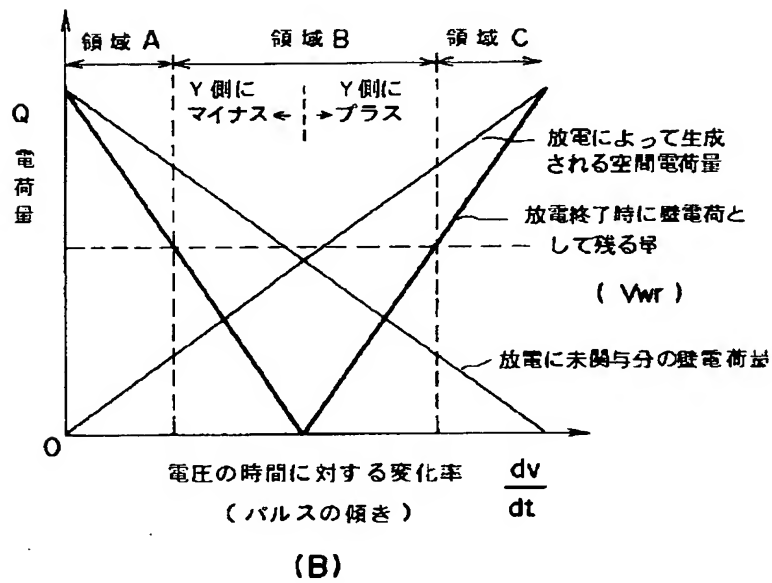
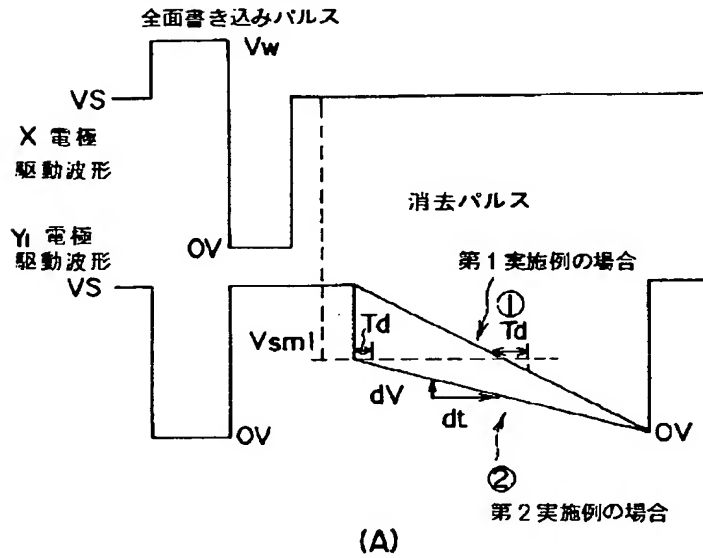
【図9】

本発明の第2の実施例に係る表示駆動方法を説明する  
波形図



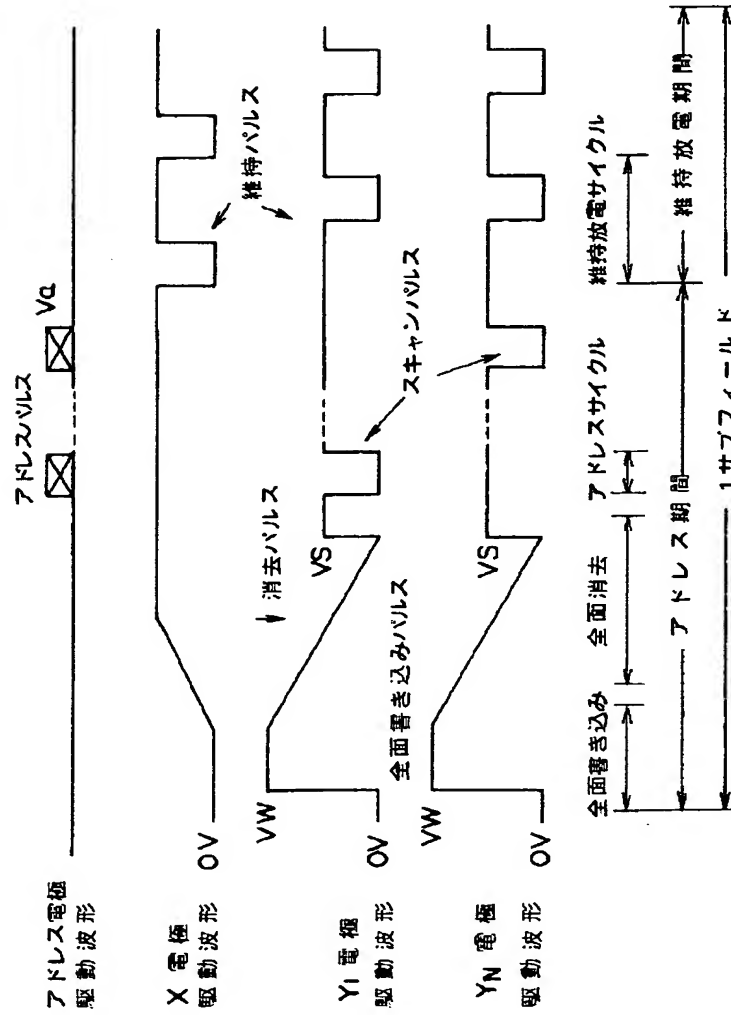
【図10】

本発明の第2の実施例に係る表示駆動方法の補足説明図



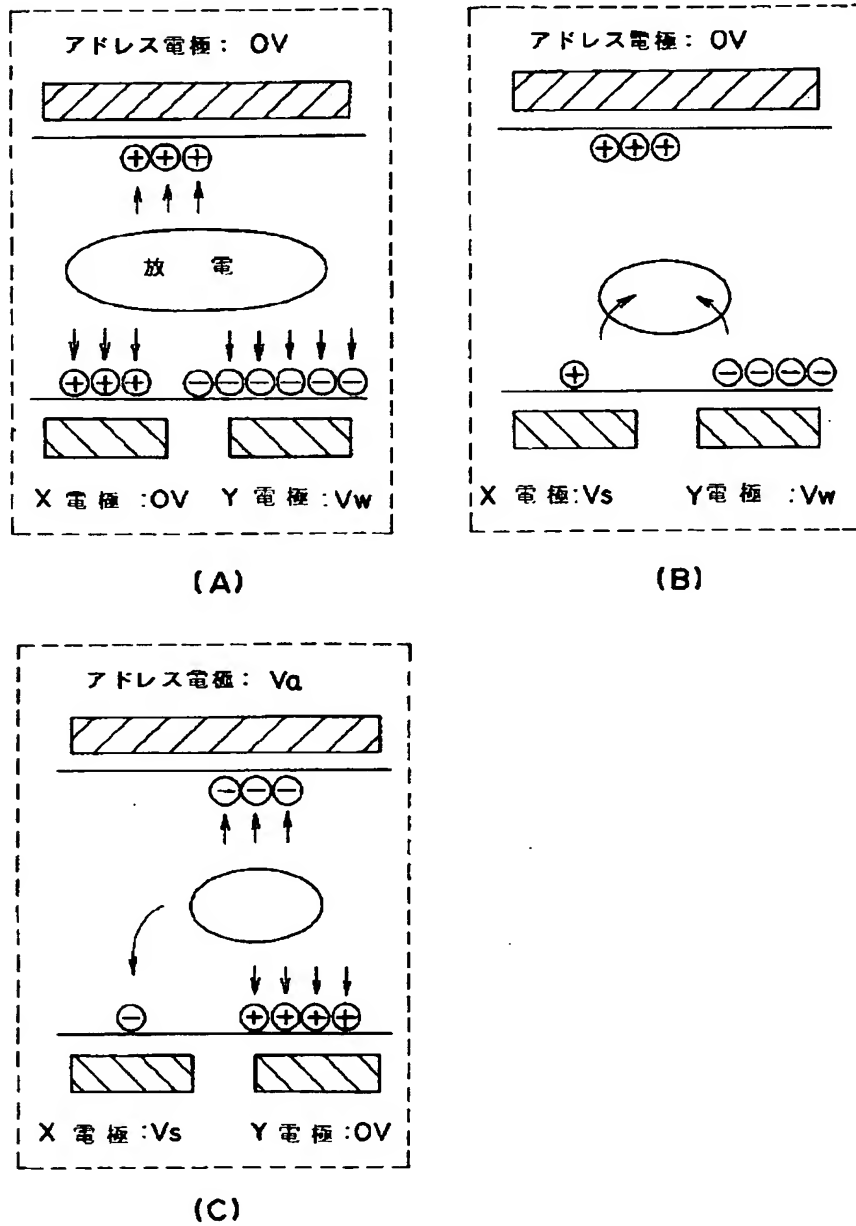
【図11】

本発明の第3の実施例に係る表示駆動方法を説明する  
波形図



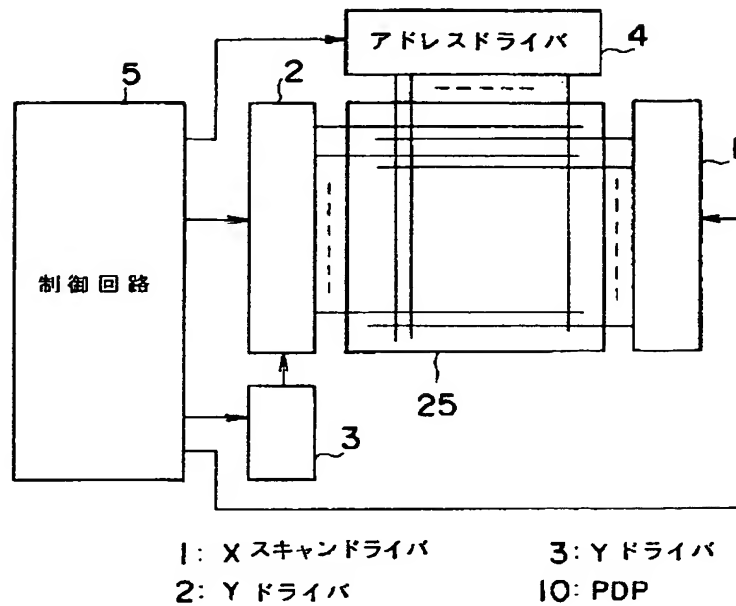
【図12】

本発明の第3の実施例に係る書込み動作時の補足説明図

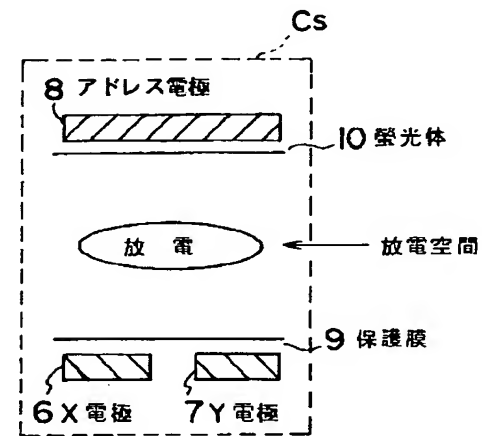


【図13】

従来例に係るAC型PDP駆動装置の構成図



(A)



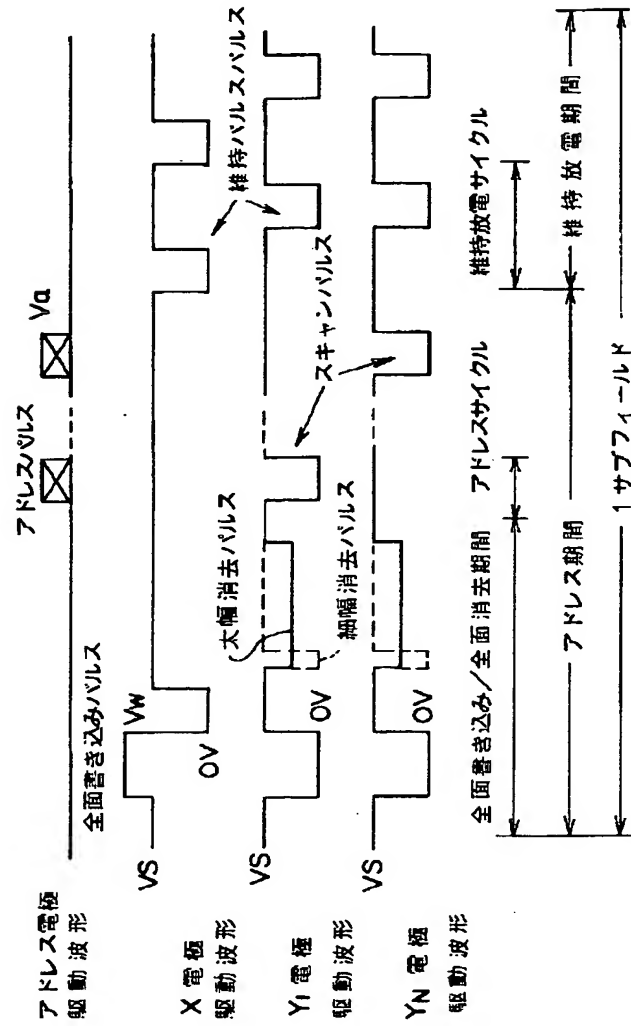
Cs: 表示セル

(B)



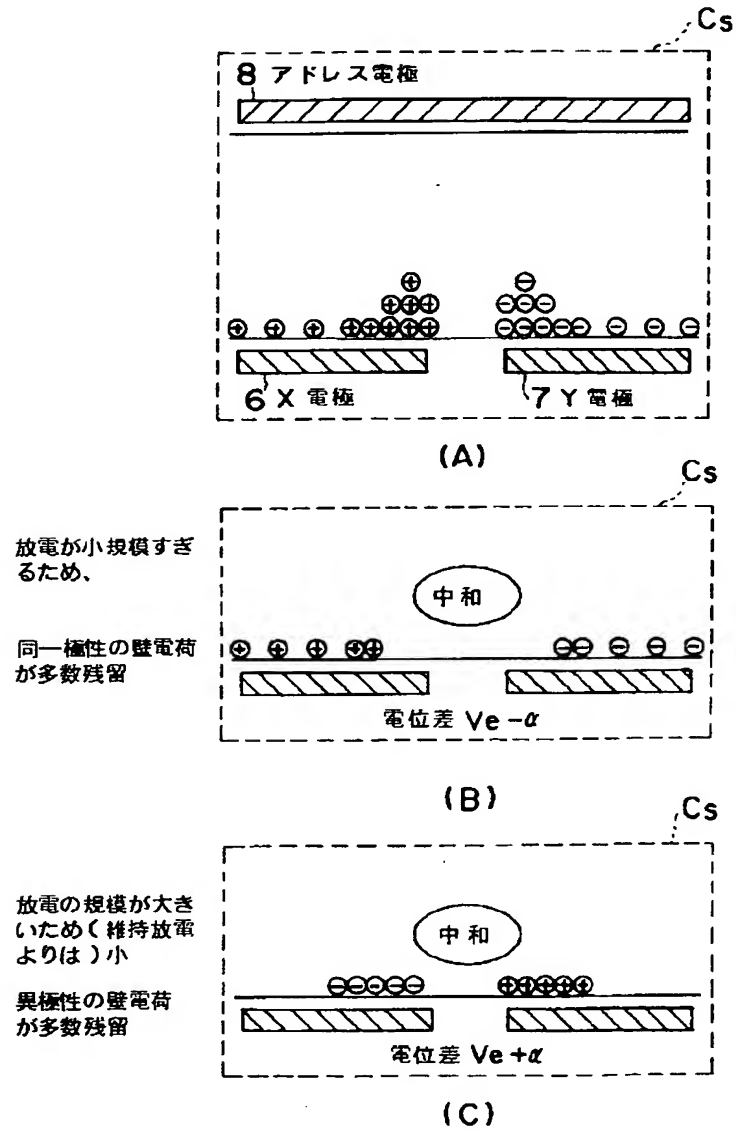
【図14】

従来例に係る表示駆動方法を説明する波形図



【図15】

従来例に係る問題点を説明する太幅消去動作の説明図



【図16】

従来例に係る問題点を説明する細幅消去動作の説明図

